

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-087406

(43)Date of publication of application : 19.03.1992

(51)Int.Cl.

H03F 1/30

H03F 3/60

H03G 3/10

(21)Application number : 02-203026

(71)Applicant : NEC CORP

(22)Date of filing : 31.07.1990

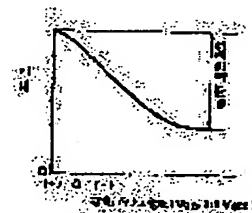
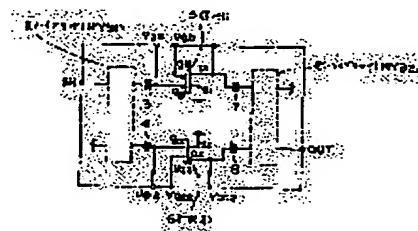
(72)Inventor : AKASAKA SEIZO

(54) AMPLIFYING DEVICE

(57)Abstract:

PURPOSE: To narrow the maximum gain control range to 60dB, and to execute the gain setting with high accuracy by constituting a balance type amplifier with a pair of dual gate transistors, and controlling the variable gate bias voltage of the balance type amplifier.

CONSTITUTION: When prescribed bias voltages are applied from fixed bias input terminals Vg11, Vg12, and an input signal is inputted from a signal input terminal IN, the input signal is bisected by a hybrid 1, and inputted to coupling capacitors 3, 4. To outputs of 3 and 4, a fixed bias is added, and each signal voltage is inputted to signal input gates g11, g12 of dual gate transistors 5, 6 and controls a drain current. Thus, the drain current becomes that which is obtained by amplifying the input signal, and an output signal synthesized by a hybrid 2 becomes a signal obtained by amplifying the input signal with the prescribed gain. That is, the gain can be controlled by a variable bias voltage supplied from variable bias input terminals Vg21, Vg22.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 4 - 8 7 4 0 6

(43) 公開日 平成4年(1992)3月19日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 1/30	A			
H 0 3 F 3/60				
H 0 3 G 3/10	C			
			H 0 3 F 1/30	A
			H 0 3 F 3/60	
審査請求 未請求			(全 3 頁)	最終頁に続く

(21) 出願番号 特願平2-203026

(22) 出願日 平成2年(1990)7月31日

(71) 出願人 000000423

日本電気株式会社

東京都港区芝5丁目7番1号

(72) 発明者 赤坂 清三

東京都港区芝5丁目7番1号 日本電気株式
会社内

(74) 代理人 渡辺 喜平

(54) 【発明の名称】 増幅装置

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

(1) 一対のデュアルゲートトランジスタで平衡型の増幅器を構成するとともに、各デュアルゲートトランジスタの一方のゲートに入力信号とバイアス電圧を印加し、いずれか一方のデュアルゲートトランジスタにおける他方のゲートには利得制御用可変バイアス電圧を印加してなる構成としたことを特徴とする増幅装置。

(2) 上記請求項1に記載の増幅装置において、上記デュアルゲートトランジスタをGaAsデュアルゲートトランジスタで構成したことを特徴とする増幅装置。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、増幅装置に関し、特に、精度の高い利得設定を要するマイクロ波通信装置に使用して好適な増幅装置に関する。

【従来の技術】

マイクロ波通信装置に使用される増幅装置は精度の高い利得設定が要求され、特に温度変化で変動する利得を一定に保つための温度補償の面でも精度の高いものが要求される。

従来の増幅装置における利得制御は、定インピーダンス化を計った可変抵抗減衰器を増幅回路とともに使用し、全体としての利得制御を行ついる。

この可変抵抗減衰器としては、例えば順方向電流により動作抵抗値が変化するPINダイオードを回路内の線路に直列または並列に接続して可変抵抗回路を構成するとともに、さらにこの可変抵抗回路を平衡型に接続して定インピーダンス化を計っている。

【解決すべき課題】

上述した従来の増幅装置においては、以下のような問題点があった。

可変抵抗減衰器はPINダイオードの持つ広範囲な動作抵抗値によって18(18以上の大きな減衰量)の変化を得ているが、その反面で安定な減衰量の設定のためにPINダイオードの逆方向バイアス電流をより安定にするための高安定バイアス制御回路を必要とする。

また、PINダイオードそれ自身の持つ動作抵抗値の温度係数が1℃あたり+0.1~+0.2%であるため、温度変化に対しての安定な減衰量設定のためには、さらにバイアス制御回路に温度補償素子を含めた温度補償機能を付加する必要が生じ、高安定なバイアス制御回路の実現を困難としている。

さらに、可変抵抗素子として使用されているPINダイオードは、放射線が照射されると順方向抵抗値が著しく増加して実用に耐えない。このため、通信衛星での使用のように、宇宙空間の使用に際しては全体に重金属による放射線シールドを施すことが必要となり、軽量化が強く要求される衛星搭載通信機の場合には質量上の問題が生じる。

本発明は、上記i*mにかんがみてなされたもので、高

精度な利得制御が可能で、かつ衛星搭載通信機にも使用可能な増幅装置の提供を目的とする。

【課題の解決手段】

上記目的を達成するため、第1の請求項に記載の発明は、一対のデュアルゲートトランジスタで平衡型の増幅器を構成するとともに、各デュアルゲートトランジスタの一方のゲートに入力信号とバイアス電圧を印加し、いずれか一方のデュアルゲートトランジスタにおける他方のゲートには利得制御用可変バイアス電圧を印加してなる構成としである。

また、第2の請求項に記載の発明は、請求項1に記載の増幅装置において、上記デュアルゲートトランジスタを(aAsデュアルゲートトランジスタで構成してである。

【作用】

上記のように構成した第1の請求項に記載の発明においては、平衡型増幅器を構成する一対のデュアルゲートトランジスタは、それぞれ一方のゲートに入力される入力信号とバイアス電圧によって相反する増幅を行うが、いずれか一方のデュアルゲートトランジスタは、他方のゲートに入力される利得制御用可変バイアス電圧によって利得が制御され、同制御用可変バイアス電圧によって生じる利得の差に応じた増幅を行う。

また、第2の請求項に記載の発明においては、かかる増幅を行うデュアルゲートトランジスタがGaAsデュアルゲートトランジスタで構成されているため、温度変化にかかわらず一定の増幅を行う。

すなわち、デュアルゲートトランジスタ施例した平衡型増幅器を構成し、この平衡型増幅器のいずれか一方のデュアルゲートトランジスタの可変ゲートバイアスの制御をもってデュアルゲートトランジスタの利得を制御し、平衡型増幅器全体の利得を制御している。

【実施例】

以下、図面にもとづいて本発明の詳細な説明する。

第1図は本発明の一実施例に係る増幅装置のブロック図、第2図は同増幅装置におく利得制御を説明するグラフである。

第1図において、1及び2は36B90'ハイブリッド(HYB1、HYB2)であり、ハイブリッド1は信号入力端INから入力された信号を2分する。2分された各信号は、結合用コンデンサ3、4を介してデュアルゲートトランジスタ(TR1、TR2)5、6におけるそれぞれの信号入力ゲートg11、g12に入力されており、かつ、各信号入力ゲートg11、g12は、固定バイアス入力端Vg11、Vg12が接続されている。

一方、デュアルゲートトランジスタ(TR1、

TR2)5、6における他の信号入力ゲートg21、g22には可変バイアス入力端Vg21、Vg22が接続され、それぞれのトランジスタS6における信号入力ゲ

ート g_{11} 、 g_{21} および g_{12} 、 g_{22} に印加される電圧に応じてドレイン電流供給端子 V_{DO1} 、 V_{DO2} より供給されるドレイン電流が制御される。

デュアルゲートトランジスタ 5、6 のドレイン $D1$ 、 $D2$ は結合用コンデンサ 7、8 を介して 7、イブリッド 2 に入力され、同ノ・イブリッド 2 はベクトル合成して増幅信号を出力 # A_{out} JT から出力する。

上記構成において、固定 1 < イアス入力 $f_i V_{g11}$ 、 V_{g12} から所定のバイアス電圧を印加し、信号入力端 IN から入力信号を入力すると、入力信号はハイブリ、 $D1$ にて 2 分され、結合用コンデンサ 3、4 に入力される。同コンデンサ 3、4 の出力には上記固定バイアスが加算され、各信号電圧がそれぞれのデュアルゲートトランジスタ 5、6 における信号入力ゲート g_{11} 、 g_{12} 、 g_{21} 、 g_{22} に入力されてドレイン電流を制御する。この結果、ドレイン電流は入力信号を増幅したものとなり、ノルイブリフト 2 で合成された出力信号は入力信号を所定利得で増幅した信号となる。

このとき、一方のデュアルゲートトランジスタ 5 (または 6) の可変バイアスゲート g_{21} (または g_{22}) の電圧を、予め設定した最適バイアス電圧から負の方向に電圧を変化させていくと、同トランジスタ 5 (または 6) はピンチオフに近い状態となって増幅機能が低下する。従って、同トランジスタ 5 (または 6) のみの利得 $1 + f$ 低下してハイブリ 1 $D2$ で合成された出力量は低下するため、平衡型増幅器全体としての利得を低下させることができる。

すなわち、可変バイアス入力端 V_{g21} 、 V_{g22} より供給する可変バイアス電圧で利得を制御することが可能となる。

なお、可変バイアス入力端 V_{g21} 、 V_{g22} より供給する可変バイアス電圧と平衡型増幅器の利得との関係を図 2 に示しており、同図に示すように利得可変範囲は 6 dB まで可能である。

【発明の効果コ

以上説明したように本発明は、デュアルゲートトランジスタを用いた平衡型増幅器の可変ゲートバイアス電圧を制御することにより最大利得制御範囲が 6 dB と狭く、高精度な利得設定を行うことが可能な増幅装置を容易に実現することができる。

特に、平衡型増幅素子に $GaAs$ デュアルゲートトランジスタを用いた場合、利得の温度依存性が著しく小さいために温度補償を考慮する必要もない。また、放射線の照射に対しても安定なことから宇宙空間で使用する通信機などへの応用に際しても重金属による放射線シールドを施す必要がな (、質量上の問題を解消することができる。

【図面の簡単な説明】

第 1 図は本発明の一実施例に係る増幅装置の回路図、第 2 図は利得制御を示すグラフである。

112 : ハイブリッド

3. 4 : デュアルゲートトランジスタ g_{11} 、

g_{12} 、 g_{21} 、 g_{22} : 信号入力ゲート

IN = 入力端 OUT : 出力端 V_{g11} 、 V_{g12} :

固定バイアス入力端 V_{g21} 、 V_{g22} :

可変バイアス入力端出願人 日本電気株式会社

代理人 弁理士 渡辺喜事

第 11 Q

6 : (TR 21

1 N 2 図

(+1 O (-1

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平4-87406

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月19日

H 03 F 1/30

A 8836-5 J

H 03 G 3/60

8836-5 J

H 03 G 3/10

C 7239-5 J

審査請求 未請求 請求項の数 2 (全3頁)

⑭ 発明の名称 増幅装置

⑮ 特 願 平2-203026

⑯ 出 願 平2(1990)7月31日

⑰ 発 明 者 赤 坂 清 三 東京都港区芝5丁目7番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 渡辺 喜平

明 細 書

1. 発明の名称

増幅装置

2. 特許請求の範囲

(1) 一対のデュアルゲートトランジスタで平衡型の増幅器を構成するとともに、各デュアルゲートトランジスタの一方のゲートに入力信号とバイアス電圧を印加し、いずれか一方のデュアルゲートトランジスタにおける他方のゲートには利得制御用可変バイアス電圧を印加してなる構成としたことを特徴とする増幅装置。

(2) 上記請求項1に記載の増幅装置において、上記デュアルゲートトランジスタをG₀A₀デュアルゲートトランジスタで構成したことを特徴とする増幅装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、増幅装置に関し、特に、精度の高い利得設定を要するマイクロ波通信装置に使用して

好適な増幅装置に関する。

[従来の技術]

マイクロ波通信装置に使用される増幅装置は精度の高い利得設定が要求され、特に温度変化で変動する利得を一定に保つための温度補償の面でも精度の高いものが要求される。

従来の増幅装置における利得制御は、定インピーダンス化を計った可変抵抗減衰器を増幅回路とともに使用し、全体としての利得制御を行っている。この可変抵抗減衰器としては、例えば順方向電流により動作抵抗値が変化するPINダイオードを回路内の線路に直列または並列に接続して可変抵抗回路を構成するとともに、さらにこの可変抵抗回路を平衡型に接続して定インピーダンス化を計っている。

[解決すべき課題]

上述した従来の増幅装置においては、以下ののような問題点があった。

可変抵抗減衰器はPINダイオードの持つ広範囲な動作抵抗値によって18dB以上の大きな減

特開平4-87406 (2)

電流の変化を得ているが、その反面で安定な減衰量の設定のためにPINダイオードの逆方向バイアス電流をより安定にするための高安定バイアス制御回路を必要とする。

また、PINダイオードそれ自身の持つ動作抵抗値の温度係数が1あたり+0.1〜+0.2%であるため、温度変化に対しての安定な減衰量設定のためには、さらにバイアス制御回路に温度補償素子を含めた温度補償機能を付加する必要がある。高安定なバイアス制御回路の実現を図っている。

さらに、可変抵抗素子として使用されているPINダイオードは、放射線が照射されると順方向抵抗値が著しく増加して実用に耐えない。このため、通信衛星での使用のように、宇宙空間の使用に際しては全体に重金属による放射線シールドを施すことが必要となり、軽量化が強く要求される衛星搭載通信機の場合には質量上の問題が生じる。

本発明は、上記課題にかんがみてなされたもので、高精度な利得制御が可能で、かつ衛星搭載通

信機にも使用可能な増幅装置の提供を目的とする。

【課題の解決手段】

上記目的を達成するため、第1の請求項に記載の発明は、一対のデュアルゲートトランジスタで平衡型の増幅器を構成するとともに、各デュアルゲートトランジスタの一方のゲートに入力信号とバイアス電圧を印加し、いずれか一方のデュアルゲートトランジスタにおける他方のゲートには利得制御用可変バイアス電圧を印加してなる構成としている。

また、第2の請求項に記載の発明は、請求項1に記載の増幅装置において、上記デュアルゲートトランジスタをGSAデュアルゲートトランジスタで構成してある。

【作用】

上記のように構成した第1の請求項に記載の発明においては、平衡型増幅器を構成する一対のデュアルゲートトランジスタは、それぞれ一方のゲートに入力される入力信号とバイアス電圧によって相反する増幅を行うが、いずれか一方のデュアル

ゲートトランジスタは、他方のゲートに入力される利得制御用可変バイアス電圧によって利得が制御され、同制御用可変バイアス電圧によって生じる利得の差に応じた増幅を行う。

また、第2の請求項に記載の発明においては、かかる増幅を行うデュアルゲートトランジスタがGSAデュアルゲートトランジスタで構成されているため、温度変化にかかわらず一定の増幅を行う。

すなわち、デュアルゲートトランジスタを用いた平衡型増幅器を構成し、この平衡型増幅器のいずれか一方のデュアルゲートトランジスタの可変ゲートバイアスの制御をもってデュアルゲートトランジスタの利得を制御し、平衡型増幅器全体の利得を制御している。

【実施例】

以下、図面にもとづいて本発明の実施例を説明する。

第1図は本発明の一実施例に係る増幅装置のブロック図、第2図は同増幅装置における利得制御

を説明するグラフである。

第1図において、1及び2は3dB90°ハイブリッド(HYB1, HYB2)であり、ハイブリッド1は信号入力端INから入力された信号を2分する。2分された各信号は、結合用コンデンサ3, 4を介してデュアルゲートトランジスタ(TR1, TR2)5, 6におけるそれぞれの信号入力ゲートg11, g12に入力されており、かつ、各信号入力ゲートg11, g12には固定バイアス入力端Vg11, Vg12が接続されている。

一方、デュアルゲートトランジスタ(TR1, TR2)5, 6における他の信号入力ゲートg21, g22には可変バイアス入力端Vg21, Vg22が接続され、それぞれのトランジスタ5, 6における信号入力ゲートg11, g21およびg12, g22に印加される電圧に応じてドレイン電流供給端子VD01, VD02より供給されるドレイン電流が制御される。

デュアルゲートトランジスタ5, 6のドレイン

特開平4-87406 (3)

D1, D2は結合用コンデンサ7, 8を介してハイブリッド2に入力され、同ハイブリッド2はベクトル合成して増幅信号を出力端OUTから出力する。

上記構成において、固定バイアス入力端Vg11, Vg12から所定のバイアス電圧を印加し、信号入力端INから入力信号を入力すると、入力信号はハイブリッド1にて2分され、結合用コンデンサ3, 4に入力される。同コンデンサ3, 4の出力には上記固定バイアスが加算され、各信号電圧がそれぞれのデュアルゲートトランジスタ5, 6における信号入力ゲートg11, g12に入力されてドレイン電流を制御する。この結果、ドレイン電流は入力信号を増幅したものとなり、ハイブリッド2で合成された出力信号は入力信号を所定利得で増幅した信号となる。

このとき、一方のデュアルゲートトランジスタ5(または6)の可変バイアスゲートg21(またはg22)の電圧を、予め設定した最適バイアス電圧から負の方向に電圧を変化させていくと、

特に、平衡型増幅素子にG&Aデュアルゲートトランジスタを用いた場合、利得の温度依存性が著しく小さいために温度補償を考慮する必要もない。また、放射線の照射に対しても安定なことから宇宙空間で使用する通信機などへの応用に際しても重金屬による放射線シールドを施す必要がなく、質量上の問題を解消することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例に係る増幅装置の回路図、第2図は利得制御を示すグラフである。

1, 2: ハイブリッド

3, 4: デュアルゲートトランジスタ

g11, g12, g21, g22

: 信号入力ゲート

IN: 入力端 OUT: 出力端

Vg11, Vg12: 固定バイアス入力端

Vg21, Vg22: 可変バイアス入力端

出版人 日本電気株式会社

代理人 弁理士 渡辺喜平

同トランジスタ5(または6)はピンチオフに近い状態となって増幅機能が低下する。従って、同トランジスタ5(または6)のみの利得が低下してハイブリッド2で合成された出力量は低下するため、平衡型増幅器全体としての利得を低下させることができる。

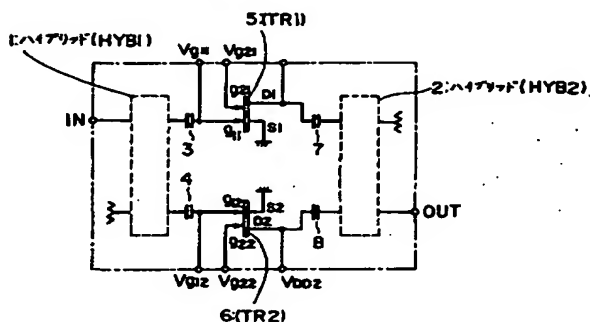
すなわち、可変バイアス入力端Vg21, Vg22より供給する可変バイアス電圧で利得を制御することが可能となる。

なお、可変バイアス入力端Vg21, Vg22より供給する可変バイアス電圧と平衡型増幅器の利得との関係を第2図に示しており、同図に示すように利得可変範囲は6dBまで可能である。

[発明の効果]

以上説明したように本発明は、デュアルゲートトランジスタを用いた平衡型増幅器の可変ゲートバイアス電圧を制御することにより最大利得制御範囲が6dBと狭く、高精度な利得設定を行うことが可能な増幅装置を容易に実現することができる。

第1図



第2図

